

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-133184

(43)Date of publication of application : 13.05.1994

(51)Int.Cl.

H04N 5/16

(21)Application number : 04-304720

(71)Applicant : VICTOR CO OF JAPAN LTD

(22)Date of filing : 16.10.1992

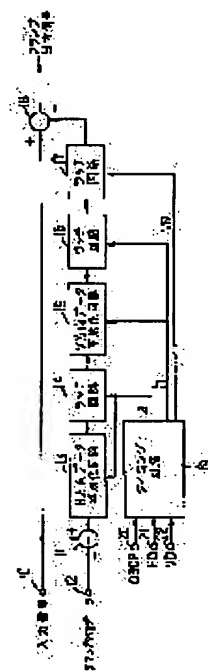
(72)Inventor : KIYOFUJI TAKASHI
KUBOTA MASANORI
HANADA NAOKI

(54) DIGITAL CLAMP CIRCUIT

(57)Abstract:

PURPOSE: To provide the circuit with high accuracy with respect to the digital clamp circuit.

CONSTITUTION: A horizontal direction data averaging circuit 13 averages clamp level data within one horizontal scanning period, a vertical direction data averaging circuit 15 averages clamp data by 16 or 32 lines in the middle of a pattern among the averaged data and applies the averaged data sequentially to latch circuits 16, 17. Then the data are fed to a subtractor 18 at a succeeding field to subtract the data from the incoming video signal. Thus, the video signal clamped to a prescribed level and not causing lateral noise and flicker is obtained.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平6-133184

(43)公開日 平成6年(1994)5月13日

(51)Int.Cl.⁵

H 0 4 N 5/16

識別記号

庁内整理番号

F I

技術表示箇所

A

審査請求 未請求 請求項の数 2(全 5 頁)

(21)出願番号 特願平4-304720

(22)出願日 平成4年(1992)10月16日

(71)出願人 000004329

日本ビクター株式会社

神奈川県横浜市神奈川区守屋町3丁目12番地

(72)発明者 清藤 隆志

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72)発明者 久保田 政典

神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(72)発明者 花田 尚樹

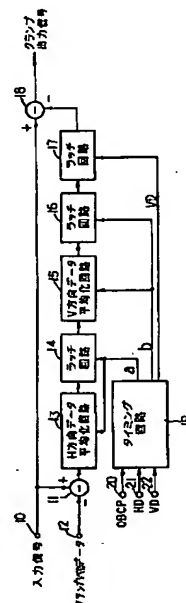
神奈川県横浜市神奈川区守屋町3丁目12番地 日本ビクター株式会社内

(54)【発明の名称】 デジタルクランプ回路

(57)【要約】

【目的】 デジタルクランプ回路に関し、精度の良い回路を提供する。

【構成】 H(水平)方向データ平均化回路13により1水平走査期間内のクランプレベルデータを平均し、更に、V(垂直)方向データ平均化回路15により、前記平均したデータのうち、画面の中央部の16又は32ライン分のクランプデータを平均し、この平均データをラッチ回路16、17に順次供給する。そして、このデータを次のフィールド時に減算器18に供給して、ここに入来するビデオ信号から減算する。これにより所定レベルにクランプされ、横引きノイズやフリッカの生じないビデオ信号を得る。



【特許請求の範囲】

【請求項1】 ビデオカメラのデジタル信号処理系において使用されるデジタルクランプ回路において、1水平走査期間内のクランプレベルデータを平均して第1の平均データとし、この第1の平均データの1垂直走査期間分のデータを平均して第2の平均データとし、この第2の平均データと入力ビデオ信号との差を求めることによりクランプを行うことを特徴とするデジタルクランプ回路。

【請求項2】 請求項1記載のデジタルクランプ回路において、第2の平均データは、第1のデータのうち、画面中央部の複数水平走査期間分のデータを用いて平均化することを特徴とするデジタルクランプ回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、ビデオカメラのデジタル信号処理系に使用されて好適なデジタルクランプ回路に関する。

【0002】

【従来の技術】図4は、従来のデジタルクランプ回路の一例を示した概略ブロック図である。1は、例えば、図示しない固体撮像素子（CCD）、相関二重サブリング回路（CDS）及びアナログ／デジタル変換回路等を経てデジタル変換されたビデオ信号が入来するための入力端子、2は入力端子3より図示しない基準レベル発生器から入来するクランクレベルデータと前記ビデオ信号とを減算するための減算器、4は入力端子5より1水平走査期間（以下、単に1Hと記す）毎に入来するオプティカル・ブラック・クランプ・パルス（OBCP）に基づいて、データ平均を行うためのデータ平均化回路、6は前記データをラッチするためのラッチ回路、7はこの平均化されたデータと入力ビデオ信号とを減算するための減算器である。

【0003】以上の構成より成るデジタルクランプ回路の動作は次の通りである。入力端子1より入来したビデオ信号は、減算器2、7に供給される。このビデオ信号は減算器2においてクランプすべき基準レベルとの減算が行われ、この差信号がデータ平均化回路4に供給される。

【0004】このデータ平均化回路4では、1H毎に入来するオプティカル・ブラック・クランプ・パルスのパルス幅の期間内に前記差信号のデータの平均化が行われる。この平均化されたデータは、次段のラッチ回路6において、同様に前記オプティカル・ブラック・クランプ・パルスによってラッチされ、この平均データが減算器7に供給されて、ここで、入力ビデオ信号から平均データの減算が行われる。従って、この減算処理により入力ビデオ信号が所定の基準レベルにクランプされ、この信号が図示しない後段に設けられる信号処理回路に出力される構成となっているものである。

【0005】

【発明が解決しようとする課題】ところが、前記構成のデジタルクランプ回路にあっては、1H毎の平均データを用いて、クランプ処理を行っているために、1H毎に平均データが変動した場合に、出力信号が1H毎にレベル変動をおこし、横引きノイズとなってしまう。

【0006】また、これとは別に、1垂直走査期間（以下、単に1Vと記す）毎に所定の1Hの平均データを用いてクランプする方法も考えられるが、この場合には、1V毎に平均データが変動した時に、その出力信号が変動して、フリッカの原因となってしまう、という問題点がある。そこで、本発明は、これらの問題点を解決したデジタルクランプ回路を提供することにある。

【0006】

【課題を解決するための手段】本発明は、これらの問題点を解決する手段として、以下の1）及び2）より成るデジタルクランプ回路を提供しようというものである。即ち、

1）ビデオカメラのデジタル信号処理系において使用されるデジタルクランプ回路において、1水平走査期間内のクランプレベルデータを平均して第1の平均データとし、この第1の平均データの1垂直走査期間分のデータを平均して第2の平均データとし、この第2の平均データと入力ビデオ信号との差を求めることによりクランプを行うことを特徴とするデジタルクランプ回路。

【0007】2）請求項1記載のデジタルクランプ回路において、第2の平均データは、第1のデータのうち、画面中央部の複数水平走査期間分のデータを用いて平均化することを特徴とするデジタルクランプ回路。

【0008】

【実施例】以下、本発明の一実施例につき、図面を参照して説明する。図1は本発明の実施例に係るデジタルクランプ回路のブロック図である。このクランプ回路は、例えば、ビデオカメラ等に採用されるものである。同図において、10は図示しない固体撮像素子（CCD）、相関二重サブリング回路（CDS）及びアナログ／デジタル変換回路等を介してデジタル変換されたビデオ信号が入来するための入力端子である。

【0009】11は入力端子12より図示しない基準レベル発生器から入来するクランクレベルデータと前記ビデオ信号とを減算するための減算器、13は前記減算データを1H毎に平均化するH（水平）方向データ平均化回路、14はそのデータをラッチするためのラッチ回路、15は前記水平方向の平均データを所定の垂直走査期間累積し、これを平均化するためのV（垂直）方向データ平均化回路、16、17はこのデータを順次ラッチするためのラッチ回路、18はラッチ回路17から出力される平均データを入力ビデオ信号から減算するための減算器である。

【0010】そして、19はタイミング回路で、入力端子20、21、22から夫々オプチカル・ブラック・クランプ・パルス(OBCP)、水平同期信号(HD)及び垂直同期信号(VD)が供給され、ここで、これらの信号の出力タイミングを調整したり、後述するタイミング信号を生成して前述の各回路に供給するための回路である。

【0011】次に、これらの構成による動作につき、図2及び図3を併せ参照して説明する。図2はタイミング回路19に入力される各パルスを示した図で、図3はタイミング回路19における入力パルスと、ここで生成されるタイミングパルスとのタイミング関係を示した拡大部分図である。

【0012】これらの図において、入力端子10から、例えば、デジタル化されたビデオ信号が入来し、減算器11、18に夫々供給される。減算器11のマイナス入力側には、入力端子12からクランプレベルデータが入来し、ここで、減算処理が行われる。この減算データはH方向データ平均化回路13に供給される。

【0013】一方、タイミング回路19には、各入力端子20、21、22から、図2に示すように、各水平走査番号(ラインナンバ)に対応してオプチカル・ブラック・クランプパルス(OBCP)、水平同期信号(HD)及び垂直同期信号(VD)がそれぞれ図示するタイミング関係で供給されている。

【0014】このタイミング回路19では、図3(B)に拡大して示したオプチカル・ブラック・クランプ・パルス(OBCP)のパルス幅が、例えば、16T、又は、32T(Tはシステムクロックの周期)まで伸長され、平均化に要する時間幅のパルスa〔図3(d)〕とされ、H方向データ平均化回路13及びラッチ回路14に夫々供給される。

【0015】この時のパルス幅を、16T又は32Tとしているのは、撮像素子の画素数に応じた時間幅とし、平均化演算が行い易く、しかも、データ量を多く取り込める時間幅としているためである。例えば、固体撮像素子の画素数が40万画素のものが使用される場合には32Tの時間幅とし、20万画素程度の少ない画素数の場合には、16Tの時間幅とするのが良い。これにより、H方向データ平均化回路13の割り算処理は、ビットシフトのみで良く、回路構成が簡単になる。

【0016】そして、このH方向データ平均化回路13で平均化されたデータは、次段のラッチ回路14においてパルスaの立ち下がりでラッチされ、このデータがV方向データ平均化回路15に供給される。

【0017】また一方、タイミング回路19では、例えば、垂直同期信号から128パルス目の水平同期信号の立上がりから立上がり、このパルスから16又は32パルス目で立ち下がるようなタイミングパルスbが生成され、このタイミングパルスbがV方向データ平均化回路

15及びラッチ回路16に夫々供給される。V方向データ平均化回路15では、このタイミングパルスbの立上がり期間内に、この期間内に入来する水平方向の平均データの累積値が平均化される。そして、このデータは次段のラッチ回路16に供給され、ここで、タイミングパルスbの立ち下がりでラッチされ、このラッチされたデータがラッチ回路17に供給される。

【0018】このラッチ回路17には、タイミング回路19から垂直同期信号(VD)が供給されており、前記入力データがこのパルスbの立ち下がりでラッチされ、このデータが減算器18に供給される。この減算器18では、入力ビデオ信号から、この平均データが減算され、入力ビデオ信号が所定の基準レベルにクランプされることになる。

【0019】即ち、V方向データ平均化回路15において、画面の中央部の複数ライン(128から16ライン、又は、128から32ライン)のデータの平均化が行われ、この平均データがラッチ回路17に供給されて、次のフィールドからクランプデータとして使用されるようにしているものである。この場合、平均化データを次のラインから使用しないのは、このデータがノイズの影響で変化した場合に、画面の上下でレベル変化が起こってしまうことが考えられ、これを避けるようにしているためである。

【0020】従って、本実施例によれば、ライン毎の平均化データをライン毎のクランプデータとして使用せずに、中央部の複数ライン分の平均データを、更に平均化して使用するようにしているので、1H毎に平均データが変動した場合に、その出力信号が1H毎にレベル変動し、横引きノイズを生じさせてしまうようなことはなくなる。

【0021】また、本実施例では、画面中央部の複数ライン分の平均データを使用するようにしているので、例えば、1垂直走査期間全部の平均データを使用する場合に比べ、V方向データ平均化回路15に使用する加算器の回路規模を小さくできる。例えば、NTSC方式の場合には、1垂直走査期間では248ラインの積算が必要となり、入力信号が8ビットの時に、この加算器のビット長が16ビットになって回路が大きくなってしまふ。ところが、本実施例の場合には、加算器のビット長を12又は13ビットとすることができ、回路規模を小さくできる。尚、回路規模よりクランプデータの精度をより重要視する場合には、1垂直走査期間全部に亘る平均化データを用いるようにすれば良い。

【0022】

【発明の効果】請求項1記載の発明によれば、1H毎に平均データが変動した場合に、出力信号が1H毎にレベル変動をおこして、横引きノイズを生じさせてしまうようなことはない。また、垂直走査期間毎にクランプした場合に生じるフリッカも発生しない。また、特に請求項

10

20

30

40

50

2記載の発明によれば、請求項1記載の発明の効果に加えて、演算処理を行わせるための回路規模を小さくできる。

【図面の簡単な説明】

【図1】本発明による第1実施例のブロック図を示す。

【図2】タイミングパルス発生器19に入力されるパルスを示す図である。

【図3】タイミング回路19における入力パルスと、この回路で生成されるタイミングパルスとのタイミング関係*

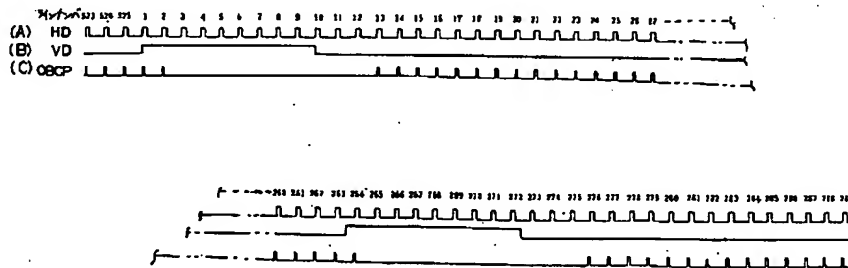
*係を示した拡大部分図である。

【図4】従来例を示す図である。

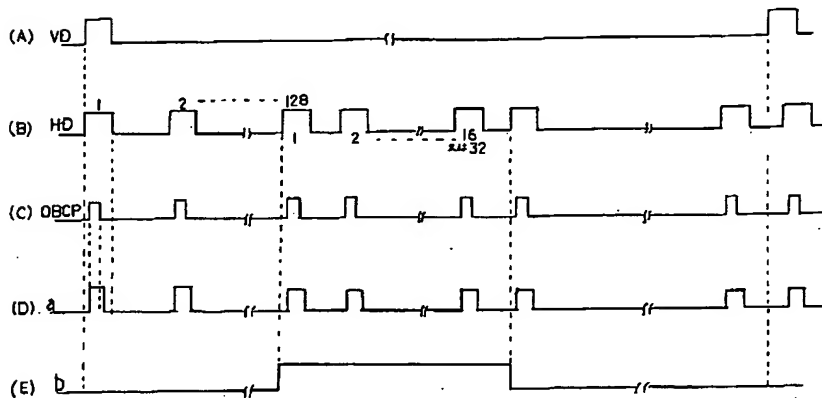
【符号の説明】

- 11, 18 減算器
- 13 H(水平)方向データ平均化回路
- 14, 16, 17 ラッチ回路
- 15 V(垂直)方向データ平均化回路
- 19 タイミング回路

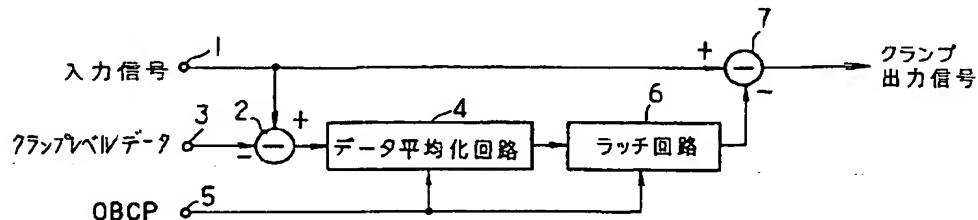
【図2】



【図3】



【図4】



【図1】

